

● Mirrorの端子配列技術

産学共同出資でJVを設立 独自端子技術の普及を狙う

★Mirrorの会社概要★

- ①設立：2006年11月
- ②所在地：米カリフォルニア州
- ③代表者：Martin Hart
- ④URL：www.MirrorSemi.com
- ⑤国内販売代理店：
エーディーワイ(株)
- ⑥URL：http://www.ady-jp.com

●産学共同出資のベンチャーを設立

米Mirror Semiconductorが本格的な事業展開を開始する。同社は、半導体パッケージのダミー部品メーカー米TopLineと米Liberty大学の共同出資で2006年11月に設立されたベンチャー企業。Liberty大学が保有する配線設計技術「Mirrored PinOut」に、TopLine社長のMartin Hart氏が着目し、同技術の普及・拡大を目指し設立された。

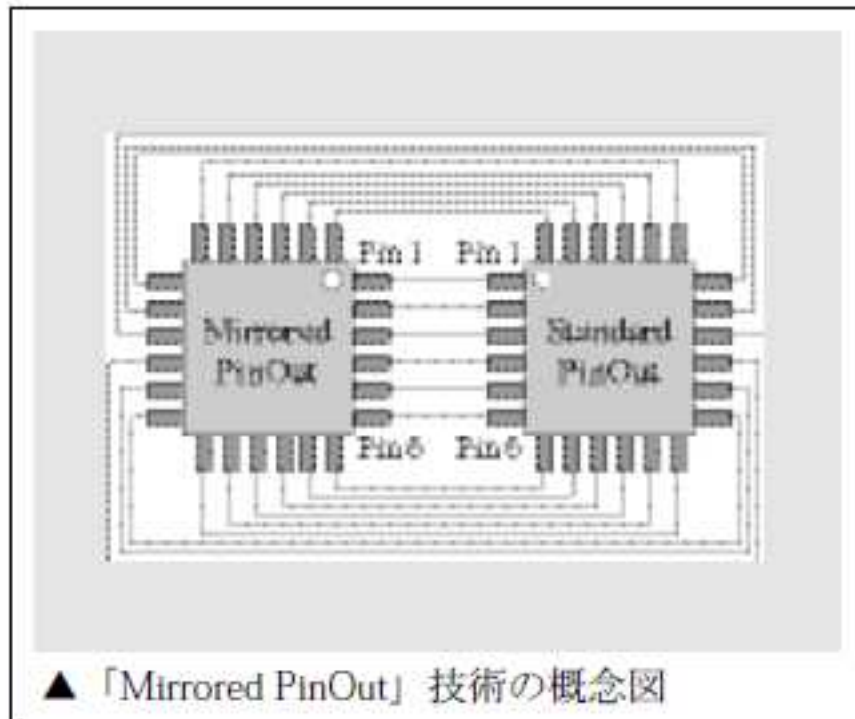
TopLineは、半導体パッケージや受動部品、プリント配線板などのダミー部品を取り扱う電子部品メーカー。同分野のダミー部品を専門に取り扱うメーカーでは大手の1社だ。半導体では、QFP、TSOP、SOJ、LCCなどの各種パッケージやCSP/BGAなどの先端パッケージ、0603サイズのチップ部品やディスプレイなどの異形部品も揃える。また、評価用プリント配線板や実装基板、パッケージ用基板なども取り揃える他、ICトレイやダミーウェーハ、個片化したダイチップなどもラインナップしている。

●左右対称の端子配列技術

TopLineが提供するこれらダミー部品の用途は多岐にわたる。同社が2001年に発表した独自のOpen Cavity構造を持つ「Quik-Pak」は、ベアチップをダイボンディングするリードフレーム部分を露出させたもので、封止樹脂はパッケージの周辺部のみに形成している。目的に応じたICチップをリードフレームにボンディングし、ワイヤボンダで接続した後にダム状の凹みに液状封止材を流し込み封止する。マウンタやフロー/リフロー工程の評価だけでなく、導通検査装置を含めた開発や評価などへの適用も可能で、ICのテストやプリント配線板実装後の導通検査なども容易にする。この

ため、半導体メーカーやプリント配線板メーカー、セットメーカーなど、顧客層は多岐にわたる。

一方、プリント配線板に半導体を実装する場合、半導体のパッド配置がプリント配線板上の配線設計に大きな制約を与え、配線長の短縮を困難にしているという課題が顕在化している。特に最近では、伝送速度の高速化が求められ、配線長の大幅な短縮が不可欠となりつつある。Mirrored PinOut技術は、同じ半導体のパッド配置を左右対称に配列する設計手法で、2つの同じ半導体を並列に実装した場合、これまでプリント配線板上を引き回していた端子間配線を最短の直線距離で設計することが可能となる。これにより、複雑に引き回していたプリント配線板上の端子間配線で、長配線による信号の遅延やノイズの増大を大幅に抑えることができる他、プリント配線板の層数や面積の低減も可能になる。電気的特性の向上だけでなく、設計・開発期間の短TAT化やプリント配線板の低コスト化といった様々な効果も期待できる。



▲「Mirrored PinOut」技術の概念図

●各種パッケージ技術で実現

TopLineは、様々なダミー部品を取り扱い、多様なメーカーへ展開する中で、Mirrored PinOut技術の必要性と需要を見出し、Mirror Semiconductorの設立に至った。Mirror Semiconductorは、ファブレスメーカーとしてMirrored PinOut技術の特許だけでなく、同技術を実現する内部配線技術や、ウェーハレベルCSPなどで導入されている再配線技術など、パッケージ技術を中心に製造プロセスを含めた提案も行っていく方針。また、今後は設計ツールを含めた技術提携も視野に入れており、Mirrored PinOut技術の普及・拡大を狙っていく。